

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2003-202544

(43)Date of publication of application : 18.07.2003

(51)Int.Cl. G02F 1/133
G09G 3/20
G09G 3/36

(21)Application number : 2001-401598

(71)Applicant : OPTREX CORP
ASAHI GLASS CO LTD

(22)Date of filing : 28.12.2001

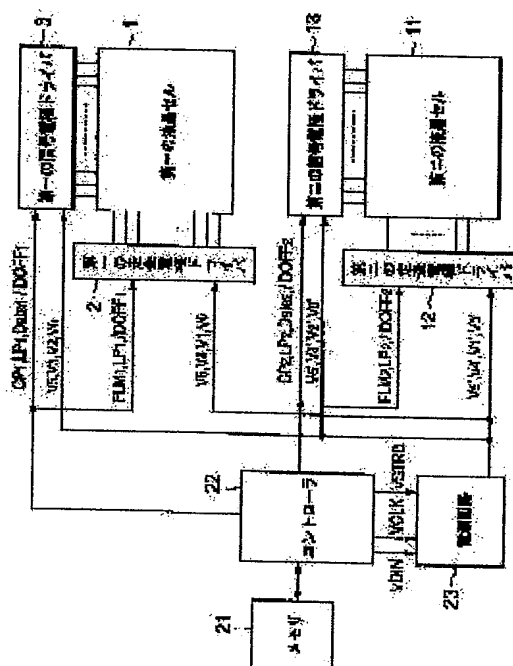
(72)Inventor : NAKAZAWA SATOSHI

(54) METHOD FOR DRIVING LIQUID CRYSTAL DISPLAY DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To reduce the load of a power source device supplying constant voltages to power source circuits and also to reduce the number of the power source circuits when driving a liquid crystal display device.

SOLUTION: In this liquid crystal display device, a controller 22 reads display data from a memory 21. Then, the controller 21 controls a first scan electrode driver 2, a first signal driver 3, a second scan electrode driver 12, and a second signal electrode driver 13 so as to drive a first liquid crystal cell 1 and a second liquid crystal cell 11 by alternately changing them. Moreover, when changing over the liquid crystal cell to be driven, the controller 21 changes values of driving voltages to be output by a power source circuit 23 by controlling the power source circuit 23.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開2003-202544

(P2003-202544A)

(43)公開日 平成15年7月18日(2003.7.18)

(51)Int.Cl. ⁷	識別記号	F I	テーマコード [*] (参考)
G 0 2 F 1/133	5 6 0	G 0 2 F 1/133	5 6 0 2 H 0 9 3
	5 2 0		5 2 0 5 C 0 0 6
G 0 9 G 3/20	6 1 2	G 0 9 G 3/20	6 1 2 F 5 C 0 8 0
	6 2 1		6 2 1 A
	6 8 0		6 8 0 D
審査請求 未請求 請求項の数 6 O L (全 12 頁) 最終頁に続く			

(21)出願番号 特願2001-401598(P2001-401598)

(22)出願日 平成13年12月28日(2001. 12. 28)

(71)出願人 000103747
オプトレックス株式会社
東京都荒川区東日暮里五丁目7番18号
(71)出願人 000000044
旭硝子株式会社
東京都千代田区有楽町一丁目12番1号
(72)発明者 中沢 聡
神奈川県横浜市神奈川区羽沢町1150番地
旭硝子株式会社内
(74)代理人 100103090
弁理士 岩壁 冬樹

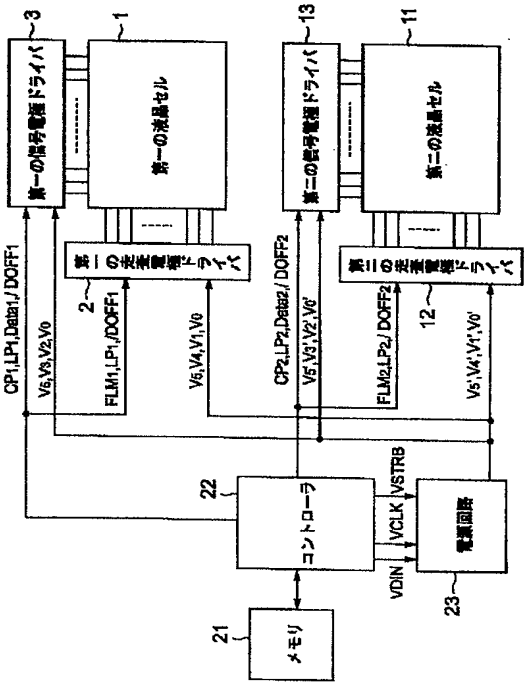
最終頁に続く

(54)【発明の名称】 液晶表示装置の駆動方法

(57)【要約】

【課題】 液晶表示装置を駆動する場合に、電源回路に定電圧を供給する電源装置の負荷を軽減し、また、各液晶セルを駆動する電源回路の数を減少させる。

【解決手段】 コントローラ22は、メモリ21から表示データを読み込む。そして、コントローラ22は、第一の液晶セル1および第二の液晶セル11を交互に切り替えて駆動するように、第一の走査電極ドライバ2、第一の信号電極ドライバ3、第二の走査電極ドライバ12、第二の信号電極ドライバ13を制御する。また、コントローラ22は、駆動する液晶セルを切り替えるときに、電源回路23を制御し、電源回路23が出力する駆動電圧の値を変更する。



【特許請求の範囲】

【請求項 1】複数の走査電極と複数の信号電極との間に少なくとも二つの安定状態を呈するメモリ性液晶を有する液晶セルが複数備えられ、複数の電圧出力端子を有する走査電極ドライバが複数備えられ、複数の電圧出力端子を有する信号電極ドライバが複数備えられ、各液晶セルの個々の走査電極は対応する走査電極ドライバの各電圧出力端子と一対一に接続され、各液晶セルの個々の信号電極は対応する信号電極ドライバの各電圧出力端子と一対一に接続されてなる液晶表示装置の駆動方法であって、

液晶セルの駆動期間に、複数の液晶セルのうちの一部の液晶セルの駆動を行い、他の液晶セルの駆動を行わず、次に、一部の液晶セルの駆動を行わず、他の液晶セルの駆動を行うことを特徴とする液晶表示装置の駆動方法。

【請求項 2】複数の液晶セルの全体に対応する走査電極ドライバと信号電極ドライバとに、駆動電圧を供給し得る電源回路を複数備え、各電源回路がそれぞれ一つの液晶セルに対応する請求項 1 に記載の液晶表示装置の駆動方法。

【請求項 3】複数の液晶セルの全体に対応する走査電極ドライバと信号電極ドライバとに、駆動電圧を供給し得る電源回路を 1 つ備える請求項 1 に記載に液晶表示装置の駆動方法。

【請求項 4】複数の液晶セルのなかに、駆動電圧が異なる液晶セルが備えられ、駆動する液晶セルを切り替える際に、電源回路の駆動電圧の設定を変更する請求項 3 に記載の液晶表示装置の駆動方法。

【請求項 5】複数の液晶セルのなかの一部の液晶セルを、いったん所定の基本状態になるように駆動をしてから、表示データの書き込みのための駆動を行い、次に、他の液晶セルの駆動を行なう請求項 1、2、3 または 4 に記載の液晶表示装置の駆動方法。

【請求項 6】複数の液晶セルのすべての液晶セルを、いったん所定の基本状態になるように駆動を順次行い、次に、複数の液晶セルのすべての液晶セルに表示データの書き込みのための駆動を順次行なう請求項 1、2、3 または 4 に記載の液晶表示装置の駆動方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、複数のメモリ性液晶セルが積層された液晶表示装置の駆動方法に関する。

【0002】

【従来の技術】現在、TN、STN、TFT液晶を備えた液晶表示装置が広く使用されている。これらの液晶表示装置は、所定の駆動を常時行って表示を行う。これに対し、コレステリック液晶またはカイラルネマチック液晶等のメモリ性液晶が注目され、それを備えた液晶表示装置が提案されている。

【0003】一対の平行基板間に挟持されたメモリ性液晶は、その液晶ディレクタが一定周期でねじれた「ねじれ構造」を有する。そのねじれの中心軸（以下、ヘリカル軸という。）が基板に対して平均的に垂直方向になる配列が存在する。複数の液晶ドメインの各ヘリカル軸の平均的な方向が基板面に対してほぼ垂直となる状態をブレナー状態という。ブレナー状態では、入射光のうちの、液晶層のねじれの向きに対応した円偏光を選択反射する。選択反射波長 λ は、液晶組成物の平均屈折率 n と液晶組成物のピッチ p の積にほぼ等しい（ $\lambda = n \cdot p$ ）。従って、ピッチ p は、 $p = \lambda / n$ となる。

【0004】選択反射を呈するブレナー状態に対して、複数の液晶ドメインのヘリカル軸が基板面に対してランダム方向または非垂直方向に配列したフォーカルコニック状態をとることもできる。一般的に、フォーカルコニック状態の液晶層は全体として弱い散乱状態を示し、選択反射時のように特定の波長の光を反射することはない。液晶セルの裏面側に吸収層を設ければ、フォーカルコニック状態のときに吸収層の色の表示が得られる。

【0005】また、フォーカルコニック状態およびブレナー状態は、電界が印加されていないときでも安定である。従って、その性質を利用して、メモリ型の液晶表示装置を実現することができる。

【0006】次に、液晶表示装置の駆動法について説明をする。メモリ性液晶が備えられた液晶表示装置を駆動する場合、液晶層の両側に位置する電極の電位を所定値に設定して、フォーカルコニック状態に移行させる電圧またはブレナー状態に移行させる電圧をメモリ性液晶に印加する。メモリ性液晶では、一連の印加電圧波形の実効値が電圧消去後の状態を直接決定するのではなく、電圧消去後の表示は、直前に印加された電圧パルスの印加時間および振幅値に依存する。フォーカルコニック状態からブレナー状態に移行させる場合には、液晶分子が電圧印加方向にほぼ平行になるホメオトロピック状態を経由するので、最も高い電圧が必要とされる。

【0007】1層の液晶セルを有する液晶表示装置では、メモリ性液晶の二つの状態（ブレナー状態およびフォーカルコニック状態）によって2色の表示を行うことができる。そして、選択反射波長が異なる複数の液晶セルを積層することで、表示する色の種類を増やすことができる。

【0008】 $p = \lambda / n$ であるので、複数の液晶セルを積層して液晶表示装置を形成する場合、各液晶セルにおける選択反射波長や平均屈折率が異なれば各層のピッチも異なる。また、セルギャップを d とし、メモリ性液晶をブレナーに移行させる電圧を V_{th} とすると、 $d / p \propto V_{th}$ という関係が成立する。複数の液晶セルを積層する場合に、各層のセルギャップが同一の値とされていると、各層で駆動電圧は異なる。従って、各液晶セルには、それぞれ一つの電源回路が設けられている。ただ

し、供給される電圧を分圧する抵抗部と、分圧した電圧が入力される複数の演算増幅器との組み合わせを一組のみ備える電源回路を、一つの電源回路として数える。

【0009】図11は、二つの液晶セルが積層された液晶表示装置を示す説明図である。第一の液晶セル201は、第一の走査電極ドライバ202および第一の信号電極ドライバ203によって駆動される。第二の液晶セル211は、第二の走査電極ドライバ212および第二の信号電極ドライバ213によって駆動される。第一の走査電極ドライバ202および第一の信号電極ドライバ203に駆動電圧を出力する電源回路と、第二の走査電極ドライバ212および第二の信号電極ドライバ213に駆動電圧を出力する電源回路は別個のものである。各電源回路は、一つの電源装置によって定電圧を供給され、この定電圧から複数種類の電圧を発生して、各層の走査電極ドライバや信号電極ドライバに出力する。

【0010】図12(a)は、第一の走査電極ドライバ202が第一の液晶セル201を駆動するときの駆動波形の例である。図12(b)は、第一の信号電極ドライバ203が第一の液晶セル201を駆動するときの駆動波形の例である。表示を書き込むときには、まず全ての画素がオン表示となるように走査電極および信号電極を駆動する。この期間をリセット期間と記す。リセット期間後、表示データに対応する電圧を印加するように走査電極および信号電極を駆動する。この期間を表示書き込み期間と記す。選択された走査電極には電圧 V_s 、 V_o が交互に印加され、選択されていない走査電極には電圧 V_1 、 V_4 が交互に印加される。また、リセット期間中、信号電極には電圧 V_o 、 V_s が交互に印加される。表示書き込み期間中、信号電極には、表示データに応じて電圧 V_o 、 V_s または電圧 V_2 、 V_3 が交互に印加される。各電圧 $V_o \sim V_s$ は、 $V_s - V_4 = V_1 - V_o = V_4 - V_3 = V_2 - V_1$ となるように設定される。

【0011】リセット期間中、選択された行の画素のメモリ性液晶には、オン表示にするための電圧として $V_s - V_o$ が印加される。そして、電圧印加終了後、メモリ性液晶はプレナー状態に移行し、オン表示となる。リセット期間中、選択されていない行の画素のメモリ性液晶には、 $V_s - V_4$ 、 $V_1 - V_o$ が印加されるが、表示状態は変化しない。表示書き込み期間中、選択された行の画素のメモリ性液晶には、表示データに対応して、オン表示にするための電圧またはオフ表示にするための電圧が印加される。オン表示にするための電圧は $V_s - V_o$ であり、オフ表示にするための電圧は $V_s - V_2$ 、 $V_3 - V_o$ である。表示書き込み期間中、選択されていない行の画素のメモリ性液晶には、 $V_s - V_4$ 、 $V_1 - V_o$ 、 $V_4 - V_3$ 、 $V_2 - V_1$ が印加されるが、表示状態は変化しない。

【0012】図12(c)は、第二の走査電極ドライバ212が第二の液晶セル211を駆動するときの駆動波

形の例である。図12(d)は、第二の信号電極ドライバ213が第二の液晶セル211を駆動するときの駆動波形の例である。第二の走査電極ドライバ212および第二の信号電極ドライバ213は、第一の走査電極ドライバ202および第一の信号電極ドライバ203と同様に走査電極および信号電極を駆動する。ただし、走査電極や信号電極に印加する電圧 $V_o' \sim V_s'$ の組み合わせは、電圧 $V_o \sim V_s$ の組み合わせとは異なる。

【0013】従来の液晶表示装置では、液晶セルが積層されたことにより重なるように配置される各層の走査電極を同時に選択しながら、各層の画素をオン表示にし、その後、所望の画像を表示していた。

【0014】

【発明が解決しようとする課題】このような液晶表示装置では、各層の走査電極ドライバおよび信号電極ドライバが、各電源回路から電圧を入力され、同時に各層の液晶セルを駆動していた。その結果、各電源回路に定電圧を供給する電源装置の負荷が大きくなってしまいうという問題があった。図13は、電源装置の負荷を示す説明図である。第一の液晶セル201を駆動すると、電源装置が供給する定電圧 V_{cc} は図13(a)に示すようにスパイク状に変化する。第二の液晶セル211を駆動した場合も同様に定電圧が変動する。従って、二つの液晶セルを同時に駆動すると、定電圧の変動が大きくなってしまふ。そのため、電源装置のコンデンサの容量を大きくしなければならなかったり、電源装置の選定がしにくくなっていた。

【0015】また、従来の液晶表示装置では、各層の走査電極ドライバおよび信号電極ドライバに駆動電圧を出力するために、複数の電源回路を設けなければならなかった。走査電極ドライバおよび信号電極ドライバに駆動電圧を出力する電源回路の数は少ない方が好ましい。

【0016】本発明は、液晶表示装置を駆動する場合に、電源回路に定電圧を供給する電源装置の負荷を軽減できる液晶表示装置の駆動方法を提供することを目的とする。また、メモリ性液晶を有する液晶セルが複数積層された液晶表示装置において、各層の走査電極ドライバおよび信号電極ドライバに駆動電圧を出力する電源回路の数を少なくすることを目的とする。

【0017】

【課題を解決するための手段】本発明の態様1は、複数の走査電極と複数の信号電極との間に少なくとも二つの安定状態を呈するメモリ性液晶を有する液晶セルが複数備えられ、複数の電圧出力端子を有する走査電極ドライバが複数備えられ、複数の電圧出力端子を有する信号電極ドライバが複数備えられ、各液晶セルの個々の走査電極は対応する走査電極ドライバの各電圧出力端子と一対一に接続され、各液晶セルの個々の信号電極は対応する信号電極ドライバの各電圧出力端子と一対一に接続されてなる液晶表示装置の駆動方法であって、液晶セルの駆

動期間に、複数の液晶セルのうちの一部の液晶セルの駆動を行い、他の液晶セルの駆動を行わず、次に、一部の液晶セルの駆動を行わず、他の液晶セルの駆動を行うことを特徴とする液晶表示装置の駆動方法を提供する。

【0018】本発明の態様2は、複数の液晶セルの全体に対応する走査電極ドライバと信号電極ドライバとに、駆動電圧を供給し得る電源回路を複数備え、各電源回路がそれぞれ一つの液晶セルに対応する液晶表示装置の駆動方法を提供する。

【0019】本発明の態様3は、複数の液晶セルの全体に対応する走査電極ドライバと信号電極ドライバとに、駆動電圧を供給し得る電源回路を1つ備える液晶表示装置の駆動方法を提供する。

【0020】本発明の態様4は、複数の液晶セルのなかに、駆動電圧が異なる液晶セルが備えられ、駆動する液晶セルを切り替える際に、電源回路の駆動電圧の設定を変更する液晶表示装置の駆動方法を提供する。

【0021】本発明の態様5は、複数の液晶セルのなかの一部の液晶セルを、いったん所定の基本状態になるように駆動をしてから、表示データの書き込みのための駆動を行い、次に、他の液晶セルの駆動を行なう液晶表示装置の駆動方法を提供する。

【0022】本発明の態様6は、複数の液晶セルのすべての液晶セルを、いったん所定の基本状態になるように駆動を順次行い、次に、複数の液晶セルのすべての液晶セルに表示データの書き込みのための駆動を順次行なう液晶表示装置の駆動方法を提供する。

【0023】

【発明の実施の形態】以下、本発明の実施の形態を図面を参照して説明する。図1は、本発明による駆動方法が適用される液晶表示装置の例を示すブロック図である。液晶表示装置は、積層される2以上の液晶セルを備える。本例では、二つの液晶セル（第一の液晶セル1および第二の液晶セル11）が積層される場合を例に説明する。第一の液晶セル1および第二の液晶セル11は、複数の走査電極と複数の信号電極との間にカイラルネマチック液晶等のメモリ性液晶を備える。

【0024】各層の走査電極ドライバおよび信号電極ドライバ（第一の走査電極ドライバ2、第一の信号電極ドライバ3、第二の走査電極ドライバ12、および第二の信号電極ドライバ13）は、それぞれ複数の電圧出力端子を有する。第一の液晶セル1の個々の走査電極は、第一の走査電極ドライバ2の個々の電圧出力端子と一対一に接続される。第一の液晶セル1の個々の信号電極は、第一の信号電極ドライバ3の個々の電圧出力端子と一対一に接続される。同様に、第二の液晶セル11の走査電極および信号電極も、それぞれ第二の走査電極ドライバ12、第二の信号電極ドライバ13に接続される。

【0025】第一の走査電極ドライバ2は、走査電極を

選択しながら全ての走査電極を走査するように第一の液晶セル1を駆動する。第一の信号電極ドライバ3は、リセット期間中は、第一の液晶セル1の信号電極にオン表示（所定の基本状態）とするための電圧を印加して、第一の液晶セル1を駆動する。また、表示書き込み期間中は、第一の液晶セル1の信号電極に表示データに対応する電圧を印加して第一の液晶セル1を駆動する。第二の走査電極ドライバ12および第二の信号電極ドライバ13は、第一の走査電極ドライバ2および第一の信号電極ドライバ3と同様に、第二の液晶セル11を駆動する。

【0026】メモリ21は、各層の表示データを保持する。コントローラ22は、メモリ21から表示データを読み込む。そして、第一層の表示データであるData₁を第一の信号電極ドライバ3に出力し、第二層の表示データであるData₂を第二の信号電極ドライバ13に出力する。以下、コントローラ22が第一の走査電極ドライバ2および第一の信号電極ドライバ3に出力するデータ等は「1」の添え字を付して表し、第二の走査電極ドライバ12および第二の信号電極ドライバ13に出力するデータ等は「2」の添え字を付して表す。

【0027】コントローラ22は、第一の信号電極ドライバ3に、一行分の表示データの中から各列のデータを順次取得するタイミングを規定するCP₁（データ転送用クロックパルス）、選択する走査電極の切り替えを示すLP₁（ラッチパルス）、および非表示指示信号である/DOFF₁（ディスプレイオフ）を出力する。コントローラ22は、第二の信号電極ドライバ13にも同様に、CP₂（データ転送用クロックパルス）、LP₂（ラッチパルス）、および/DOFF₂（ディスプレイオフ）を出力する。

【0028】さらに、コントローラ22は、第一の走査電極ドライバ2に、LP₁、/DOFF₁、および1フレームの開始を示すFLM₁（ファーストラインマーカ）を出力する。そして、第二の走査電極ドライバ12にも同様に、LP₂、/DOFF₂、およびFLM₂を出力する。

【0029】図2（a）は、駆動時に走査電極ドライバに入力される信号のタイミングを示す説明図である。第一の走査電極ドライバ2は、FLM₁が入力されると、それに続いて入力されるLP₁に応じて選択する走査電極を順次切り替える。LP₁が入力されてから、次のLP₁が入力されるまでの期間が、一つの走査電極の選択期間である。

【0030】図2（b）は、駆動時に信号電極ドライバに入力される信号のタイミングを示す説明図である。第一の信号電極ドライバ3は、CP₁が入力されると、そのタイミングで、これから選択される1行分の表示データの中から各列のデータを順次取得する。続いて、LP₁が入力されると、取得したデータに基づいて各信号電極の電位を設定する。図2では、第一の走査電極ドライ

10

20

30

40

50

パ2および第一の信号電極ドライバ3を例に説明したが、第二の走査電極ドライバ12および第二の信号電極ドライバ13にも同様に信号が入力される。

【0031】第一の走査電極ドライバ2および第一の信号電極ドライバ3は、 $\neg\text{DOFF}_1$ がローレベルになると出力を0Vとする。第二の走査電極ドライバ12および第二の信号電極ドライバ13は、 $\neg\text{DOFF}_2$ がローレベルになると出力を0Vとする。

【0032】図1に示す電源回路23は、第一の走査電極ドライバ2、第一の信号電極ドライバ3、第二の走査電極ドライバ12、および第二の信号電極ドライバ13に駆動電圧を出力する。電源回路23は、コントローラ22の制御によって、出力する駆動電圧を変更する。本例では、電源回路23は、駆動電圧を変更することによって、電圧 $V_0 \sim V_5$ の組み合わせまたは電圧 $V_0' \sim V_5'$ の組み合わせを出力するものとする。電圧 $V_0 \sim V_5$ は、第一の液晶セル1の駆動電圧である。電圧 $V_0' \sim V_5'$ は、第二の液晶セル11の駆動電圧である。

【0033】図3は、電源回路23の一例を示すブロック図である。電源回路23は、一つの電源回路であり、供給される電圧を分圧する抵抗部（抵抗41～45）と、分圧した電圧が入力される複数の演算増幅器（以下、オペアンプと記す。）51～54との組み合わせを一組のみ備える。

【0034】電源回路23は、コントローラ22から、VDIN（電子ボリューム用データ）と、VCLK（電子ボリュームデータ転送用クロック）と、VSTRB（電子ボリュームデータラッチ用ストロブ）とを入力される。VDINは、出力すべき駆動電圧を特定するためのデータである。VCLKは、VDINをレジスタ31に取り込むタイミングを規定する信号である。VSTRBは、ラッチ回路32がレジスタ31からVDINを読み込むタイミングを規定する信号である。ラッチ回路32は、レジスタ31から読み込んだVDINを、電子ボリューム内蔵DC-DCコンバータ（以下、単にDC-DCコンバータと記す。）34にそのまま出力する。

【0035】コントローラ22から入力されるVCLKがハイレベルになると、レジスタ31にVDINが1ビットずつ取り込まれる。ラッチ回路32は、コントローラ22からVSTRBが入力され、VSTRBがハイレベルになるとレジスタ31からVDINを読み込み、そのままVDINをDC-DCコンバータ34に出力する。また、アンド回路33は、VCLKとVSTRBがともにハイレベルになると、レジスタ31にリセット信号を出力し、レジスタ31が保持するVDINを消去する。

【0036】DC-DCコンバータ34は、電源装置（図示せず。）から定電圧 V_{cc} を供給される。そして、ラッチ回路32から入力されたVDINに応じて、

電圧 V_{cc} を昇圧して電圧 V_5 または電圧 V_5' を生成する。電圧 V_5 、 V_5' の値は、各液晶セルのセルギャップおよびメモリ性液晶のピッチに応じた値として予め定められる。ここでは、DC-DCコンバータ34が、電圧 V_5 を出力する場合を例に説明する。電源回路23は、DC-DCコンバータ34が出力する電圧 V_5 と接地電位から電圧 $V_0 \sim V_5$ を発生して、各走査電極ドライバおよび各信号電極ドライバに出力する。電圧 V_5 と電圧 V_0 （接地電位に相当）との間の電圧は、抵抗41～45で分圧され、電圧 $V_{4in} \sim V_{1in}$ が発生する。ここで、一般には、電圧 V_0 は、接地電位と同一である。

【0037】抵抗41～45の分圧回路は液晶セルを駆動する電流能力が小さいので、ボルテージフォロワ接続されたオペアンプ51～54によって駆動能力が上げられる。すなわち、電圧 $V_{4in} \sim V_{1in}$ がボルテージフォロワ接続されたオペアンプ51～54の非反転入力端子に入力される。そして、オペアンプ51～54の出力電圧が電圧 $V_4 \sim V_1$ として、各走査電極ドライバおよび各信号電極ドライバに出力される。分圧で得られた電圧 $V_{4in} \sim V_{1in}$ は、それぞれ電圧 $V_4 \sim V_1$ と同じである。抵抗41～45は、以下の各条件を満足するように定められる。 $V_5 - V_4 = V_1 - V_0 = V_4 - V_3 = V_2 - V_1$ が成立しするように定められる。また、 $V_5 - V_2$ および $V_3 - V_0$ がメモリ性液晶をフォーカルコニックに移行させる電圧となり、 $V_5 - V_4$ 、 $V_1 - V_0$ 、 $V_4 - V_3$ 、 $V_2 - V_1$ がメモリ性液晶に変化を与えない電圧となるように定められる。

【0038】なお、電圧 V_5 は、正極性駆動時に選択された走査電極に印加され、また、負極性駆動時にオン表示とする信号電極に印加される電圧である。電圧 V_4 は、負極性駆動時に選択されていない走査電極に印加される電圧である。電圧 V_3 は、負極性駆動時にオフ表示とする信号電極に印加される電圧である。電圧 V_2 は、正極性駆動時にオフ表示とする信号電極に印加される電圧である。電圧 V_1 は、正極性駆動時に選択されていない走査電極に印加される電圧である。電圧 V_0 は、負極性駆動時に選択された走査電極に印加され、また、正極性駆動時にオン表示とする信号電極に印加される電圧である。ここで、正極性駆動とは、選択した走査電極の電位が信号電極の電位より高くなるように駆動することをいい、負極性駆動とは、選択した走査電極の電位が信号電極の電位より低くなるように駆動することをいう。

【0039】ここでは、駆動回路23が電圧 $V_0 \sim V_5$ を出力する場合を説明したが、DC-DCコンバータ34に入力されるVDINが変更されれば、同様に電圧 $V_0' \sim V_5'$ を出力する。

【0040】図4は、電源回路23に入力される信号のタイミングを示す説明図である。電源回路23が出力す

る電圧を切り替える場合、まずアンド回路 33 に、ハイレベルの VCLK および VSTRB が入力される。すると、アンド回路 33 は、レジスタ 31 に保持するデータを消去させる。続いて、VCLK がハイレベルになると、その度にレジスタ 31 に VDIN が 1 ビットずつ取り込まれる。なお、本例では、レジスタ 31 のビット数は 6 ビットであるものとする。次に、VSTRB がハイレベルになると、ラッチ回路 32 がレジスタ 31 から VDIN を読み込み、DC-DC コンバータ 34 に出力する。DC-DC コンバータ 34 は、入力される VDIN に応じて、出力電圧を V_s から V_s' または V_s' から V_s に変更する。図 4 に示す電圧を切り替える期間を、以下、電圧切替期間と記す。

【0041】図 5 は、コントローラ 22 が出力する信号と駆動波形の関係を示す説明図である。図 5 に示す例では、まず第一の液晶セル 1 のみを駆動し、その後、電圧切替期間を設け、続いて第二の液晶セル 2 のみを駆動する。

【0042】第一の液晶セル 1 のみを駆動する間、電源回路 23 は、電圧 $V_o \sim V_s$ を出力する。また、コントローラ 22 は DOFF_2 をローレベルとする。従って、電源回路 23 は、第二の走査電極ドライバ 12 および第二の信号電極ドライバ 13 に電圧 $V_o \sim V_s$ を出力するが、第二の走査電極ドライバ 12 および第二の信号電極ドライバ 13 は出力を 0V とする。

【0043】一方、コントローラ 22 は、 DOFF_1 をハイレベルとし、FLM₁ および LP₁ を出力する。第一の走査電極ドライバ 2 は、FLM₁ が入力された後、LP₁ が入力される度に、選択する走査電極を順次切り替える。第一の信号電極ドライバ 3 は、LP₁ が入力されると、選択される行のデータに基づいて、第一の液晶セル 1 の各信号電極の電位を設定する。

【0044】第一の走査電極ドライバ 2 は、選択する走査電極に V_s 、 V_o の電位を交互に設定する。また、選択していない走査電極に V_1 、 V_4 の電位を交互に設定する。また、第一の信号電極ドライバ 3 は、リセット期間中、信号電極の電位を V_o 、 V_s に交互に設定することによって、選択された行の画素をオン表示とする。すなわち、リセット期間中、選択行の画素のメモリ性液晶には、 $V_s - V_o$ の電圧が印加され、電圧印加終了後、メモリ性液晶はプレナー状態に移行し、オン表示となる。リセット期間中、選択されていない行の画素のメモリ性液晶には、 $V_s - V_4$ 、 $V_1 - V_o$ が印加されるが、表示状態は変化しない。

【0045】続く表示書き込み期間において、第一の信号電極ドライバ 3 は、選択された行の表示データに応じて各信号電極の電位を設定する。選択された行においてオン表示とすべき信号電極には、 V_o 、 V_s の電位を交互に設定する。また、オフ表示とすべき信号電極には、 V_2 、 V_3 の電位を交互に設定する。この結果、選択さ

れた行のオン表示とすべき画素のメモリ性液晶には $V_s - V_o$ の電圧が印加され、オン表示となる。また、オフ表示とすべき画素のメモリ性液晶には $V_s - V_2$ 、 $V_3 - V_o$ の電圧が印加され、オフ表示となる。表示書き込み期間中、選択されていない行の画素のメモリ性液晶には、 $V_s - V_4$ 、 $V_1 - V_o$ 、 $V_4 - V_3$ 、 $V_2 - V_1$ が印加されるが、表示状態は変化しない。

【0046】第一の液晶セル 1 の駆動後の電圧切替期間において、電源回路 23 は、コントローラ 22 の制御によって出力する電圧を、電圧 $V_o' \sim V_s'$ に変更する。また、コントローラ 22 は、 DOFF_1 および DOFF_2 をローレベルとする。従って、電圧切替期間では、各層の走査電極および信号電極の電位は 0V に設定される。

【0047】第二の液晶セル 11 のみを駆動する間、コントローラ 22 は DOFF_2 のみをハイレベルとし、 DOFF_1 をローレベルとする。従って、電源回路 23 は、第一の走査電極ドライバ 2 および第一の信号電極ドライバ 3 に電圧 $V_o' \sim V_s'$ を出力するが、第一の走査電極ドライバ 2 および第一の信号電極ドライバ 3 は出力を 0V とする。第二の走査電極ドライバ 12 および第二の信号電極ドライバ 13 が第二の液晶セル 11 を駆動するときの動作は、第一の走査電極ドライバ 2 および第一の信号電極ドライバ 3 が第一の液晶セル 1 を駆動するときの動作と同様である。

【0048】上記のような駆動方法によれば、各層の液晶セルが同時に駆動されることがない。従って、電源回路 23 に定電圧 V_{cc} を供給する電源装置の負荷が分散される。図 6 は、電源装置の負荷を示す説明図である。各液晶セルを駆動することにより、電源装置が供給する定電圧 V_{cc} は図 6 (a) (b) に示すようにスパイク状に変化する。しかし、液晶セルの駆動タイミングをずらしているため、電源装置に生じる変動は図 6 (c) のように分散され、図 13 に示す場合よりも負荷が軽減される。従って、電源装置のコンデンサの容量は少なくて済み、また電源装置を選定しやすくなる。さらに、上記のような駆動方法では、液晶セル毎に電源回路を設ける必要はなく、一つの電源回路 23 のみで各層の走査電極ドライバおよび信号電極ドライバに駆動電圧を出力できる。

【0049】リセット期間や表示書き込み期間のタイミングは、図 5 に示すタイミングに限定されない。先に各層の液晶セルの画素を全てオン表示とし、その後、各液晶セルに新たな表示を書き込んでもよい。図 7 は、この場合の駆動波形の例を示す。

【0050】図 7 に示す例では、まず、第一の液晶セル 1 のリセット期間を設け、第一の液晶セル 1 の全面素をオン表示とする。次に、電圧切替期間を設け、電源回路 23 の出力電圧を電圧 $V_o' \sim V_s'$ に切り替える。そして、第二の液晶セル 11 のリセット期間を設け、第二

の液晶セル 11 の全画素をオン表示とする。この時点で、以前に表示されていた画像は消去され、各層の画面は全てオン表示になる。続いて、再び電圧切替期間を設け、電源回路 23 の出力電圧を電圧 $V_0 \sim V_5$ に切り替える。そして、第一の液晶セル 1 の表示書き込み期間を設け、第一の液晶セル 1 に新たな表示を書き込む。次に、再び電圧切替期間を設け、電源回路 23 の出力電圧を電圧 $V_0' \sim V_5'$ に切り替える。この後、第二の液晶セル 11 の表示書き込み期間を設け、第二の液晶セル 11 に新たな表示を書き込む。

【0051】図 5 に示す駆動波形の場合、第二の液晶セル 11 のリセット期間の前に、第一の液晶セル 1 の表示書き込み期間が設けられる。従って、電圧切替期間で、第一の液晶セル 1 の新たな表示と、第二の液晶セル 11 の古い画像が混在する。一方、図 7 に示す駆動波形の場合、先に各層の液晶セルを全てオン表示とするので、新たな表示と古い表示が混在することがなく、表示を書き換えるときの見映えがよくなる。

【0052】図 7 では、電圧切替期間をはさみながら、第一の液晶セル 1 のリセット期間、第二の液晶セル 11 のリセット期間、第一の液晶セル 1 の表示書き込み期間、第二の液晶セル 11 の表示書き込み期間を順番に設けた場合を示した。第一の液晶セル 1 のリセット期間および第二の液晶セル 11 のリセット期間の後、第二の液晶セル 11 の表示書き込み期間を設けてから第一の液晶セル 1 の表示書き込み期間を設けてもよい。この場合、第二の液晶セル 11 のリセット期間と第二の液晶セル 11 の表示書き込み期間の間に電圧切替期間を設ける必要がない。従って、図 7 に示す場合に比べ、駆動電圧を切り替える回数を減らすことができる。

【0053】また、本発明に適用される電源回路 23 は、図 3 に示すものに限定されない。図 8 は、電源回路 23 の他の例を示すブロック図である。図 8 に示す電源回路は、一つの電源回路であり、供給される電圧を分圧する抵抗部（抵抗 61～67）と、分圧した電圧が入力される複数のオペアンプ 71～75 との組み合わせを一組のみ備える。

【0054】この電源回路は、電源装置から定電圧 V_{cc} を供給される。供給される定電圧 V_{cc} と電圧 V_0 （接地電位に相当）との間の電圧は、抵抗 61 および抵抗 63～67 の組み合わせ、または抵抗 62 および抵抗 63～67 の組み合わせによって分圧される。抵抗の組み合わせは、アナログスイッチ 68 が、抵抗 61、62 のどちらを選択するかによって決まる。ここでは、アナログスイッチ 68 が抵抗 61 を選択している場合を例に説明する。

【0055】定電圧 V_{cc} と電圧 V_0 との間の電圧は、抵抗 61 および抵抗 63～67 によって分圧され、電圧 $V_{sin} \sim V_{iin}$ が発生する。この電圧は、ボルテージフォロワ接続されたオペアンプ 71～75 の非反転入

力端子に入力される。そして、オペアンプ 71～75 の出力電圧が電圧 $V_0 \sim V_5$ として、各走査電極ドライバおよび各信号電極ドライバに出力される。分圧で得られた電圧 $V_{sin} \sim V_{iin}$ は、それぞれ電圧 $V_0 \sim V_5$ と同じである。アナログスイッチ 68 が抵抗 62 を選択した場合、各オペアンプ 71～75 に入力される電圧が変化し、オペアンプ 71～75 の出力電圧が電圧 $V_0' \sim V_5'$ として出力される。

【0056】本例では、コントローラ 22 は、アナログスイッチ 68 の切替を制御するスイッチ制御信号を電源回路 23 に出力することによって、電源回路 23 の出力電圧を切り替える。

【0057】図 9 は、電源回路 23 の他の例を示すブロック図である。図 9 に示す電源回路は、一つの電源回路であり、供給される電圧を分圧する抵抗部（抵抗 84～88）と、分圧した電圧が入力される複数のオペアンプ 91～95 との組み合わせを一組のみ備える。

【0058】この電源回路は、電源装置から定電圧 V_{cc} を供給される。オペアンプ 96 は、反転入力端子および接地電位の間に接続された抵抗 83 および、出力端子と反転入力端子の間に接続された抵抗 81 または抵抗 83 に応じて、電圧 V_{sin} または V_{sin}' を出力する。オペアンプ 96 の出力電圧は、アナログスイッチ 89 が抵抗 81、82 のどちらを選択するかによって決まる。ここでは、抵抗 81 を選択し、オペアンプ 96 が電圧 V_{sin} を出力している場合を例に説明する。

【0059】電圧 V_{sin} と電圧 V_0 との間の電圧は、抵抗 84～88 によって分圧され、電圧 $V_{4in} \sim V_{iin}$ が発生する。電圧 $V_{sin} \sim V_{iin}$ は、ボルテージフォロワ接続されたオペアンプ 92～95 の非反転入力端子に入力される。そして、オペアンプ 91～95 の出力電圧が電圧 $V_0 \sim V_5$ として、各走査電極ドライバおよび各信号電極ドライバに出力される。電圧 $V_{sin} \sim V_{iin}$ は、それぞれ電圧 $V_0 \sim V_5$ と同じである。アナログスイッチ 89 が抵抗 82 を選択した場合、各オペアンプ 96 が電圧 V_{sin}' を出力し、オペアンプ 91～95 の出力電圧が電圧 $V_0' \sim V_5'$ として出力される。アナログスイッチ 89 の切替は、図 8 に示す場合と同様に、コントローラ 22 が出力するスイッチ制御信号によって制御される。

【0060】また、上記の図 5、7 では、リセット期間および表示書き込み期間における走査回数を 1 回とした場合を示した。リセット期間および表示書き込み期間で、複数回の走査を行ってもよい。

【0061】また、上記の各例では、リセット期間において液晶セルの全画素をオン表示とする場合を示した。リセット期間では、各液晶セルをオン表示とした後に、各液晶セルの全画素をオフ表示としてもよい。すなわち、オフ表示を所定の基本状態としてもよい。このように、所定の基本状態は、オン表示に限定されない。

10

20

30

40

50

【0062】上記の例では、二つの液晶セルを積層した場合を例に説明したが、液晶セルの数は二つに限定されず、三つ以上であってもよい。また、三つ以上の液晶セルを積層する場合、複数の液晶セルを同時に駆動してもよい。n個の液晶セルを積層する場合には、2ないしn-1個の液晶セルを同時に駆動してもよい。例えば、三つの液晶セルを積層した場合、二つの液晶セルを同時に駆動し、次に駆動電圧を切り替えて、残りの一つを駆動してもよい。このような駆動方法によれば、定電圧を供給する電源装置の負荷を、三つの液晶セルを同時に駆動する場合より低減できる。

【0063】

【実施例】セルギャップが等しい二つの液晶セルを作成した。各液晶セルのセルギャップ $d=4\mu\text{m}$ とした。一方の液晶セルには、選択反射波長 $\lambda=490\text{nm}$ のメモリ性液晶を注入し、他方の液晶セルには、選択反射波長 $\lambda=620\text{nm}$ のメモリ性液晶を注入した。セルギャップが等しく、選択反射波長が異なるので、二つの液晶セルの駆動電圧はそれぞれ異なる。 $\lambda=490\text{nm}$ のメモリ性液晶を注入した液晶セルを図1に示す第一の液晶セル1とし、 $\lambda=620\text{nm}$ のメモリ性液晶を注入した液晶セルを図1に示す第二の液晶セル11として、図1に示す液晶表示装置を作成した。

【0064】第一の液晶セル1を駆動するときには、電源回路23に、 $V_s=20.0\text{V}$ 、 $V_4=17.5\text{V}$ 、 $V_3=15.0\text{V}$ 、 $V_2=5.0\text{V}$ 、 $V_1=2.5\text{V}$ 、 $V_0=0.0\text{V}$ という駆動電圧の組み合わせを出力させた。また、第二の液晶セル11を駆動するときには、電源回路23に、 $V_s'=16.0\text{V}$ 、 $V_4'=14.0\text{V}$ 、 $V_3'=12.0\text{V}$ 、 $V_2'=4.0\text{V}$ 、 $V_1'=2.0\text{V}$ 、 $V_0'=0.0\text{V}$ という駆動電圧の組み合わせを出力させた。そして、図5に示す駆動波形で液晶表示装置を駆動したところ、一つの電源回路23のみによって、画像を書き込むことができた。図7に示す駆動波形で液晶表示装置を駆動したところ、一つの電源回路23のみによって、古い画像と新しい画像が混在することなく新たな画像を書き込むことができた。

【0065】次に、本発明の他の実施の形態を説明する。図10は、本例の駆動方法が適用される液晶表示装置の例を示すブロック図である。図10に示す液晶表示装置では、液晶セルと同数の電源回路が設けられ、各電源回路が出力電圧を変更することなく、各液晶セルの走査電極ドライバおよび信号電極ドライバに駆動電圧を出力する。すなわち、電源回路24が、第一の走査電極ドライバ2および第一の信号電極ドライバ3に駆動電圧 $V_0\sim V_s$ を出力する。また、電源回路25が、第二の走査電極ドライバ12および第二の信号電極ドライバ13に駆動電圧 $V_0'\sim V_s'$ を出力する。各電源回路24、25は、出力する駆動電圧を変更しない。従って、コントローラ22は、各電源回路24、25に、出力電

圧変更のための制御信号を出力する必要はない。また、電源回路24、25は、同一の電源装置（図示せず。）から定電圧を供給され、それぞれ駆動電圧を出力する。

【0066】コントローラ22は、各液晶セル1、11を同時に駆動するのではなく、図5に示すタイミングと同様のタイミングで、 FLM_1 、 LP_1 、 $\angle DOF F_1$ 、 FLM_2 、 LP_2 、 $\angle DOF F_2$ を出力し、図5に示す場合と同様の駆動波形で各液晶セル1、11を駆動する。あるいは、図7に示す場合と同様の駆動波形で駆動してもよい。

【0067】本例では、複数の電源回路24、25がそれぞれ、各層の走査電極ドライバおよび信号電極ドライバに駆動電圧を出力する。しかし、コントローラ22は、液晶セル1、11の一方のみを駆動するように、 $\angle DOF F_1$ および $\angle DOF F_2$ を出力する。従って、各電源回路24、25に定電圧を供給する電源装置が出力する定電圧 V_{cc} の変化は、図6に示す場合と同様になり、定電圧 V_{cc} の変動は分散される。このように、本例においても、電源装置の負荷は分散され、電源装置のコンデンサの容量も小さくて済む。また、電源装置を選定しやすくなる。

【0068】

【発明の効果】本発明によれば、液晶表示装置が備える電源回路に定電圧を供給する電源装置の負荷を低減することができる。また、メモリ性液晶を有する液晶セルが複数積層された液晶表示装置において、各層の走査電極ドライバおよび信号電極ドライバに駆動電圧を出力する電源回路の数を少なくすることができる。

【図面の簡単な説明】

【図1】 本発明による駆動方法が適用される液晶表示装置の例を示すブロック図。

【図2】 走査電極ドライバおよび信号電極ドライバに入力される信号のタイミングを示す説明図。

【図3】 電源回路の一例を示すブロック図。

【図4】 電源回路に入力される信号のタイミングを示す説明図。

【図5】 コントローラが出力する信号と駆動波形の関係を示す説明図。

【図6】 電源装置の負荷を示す説明図。

【図7】 他の駆動波形の例を示す説明図。

【図8】 電源回路の他の例を示すブロック図。

【図9】 電源回路の他の例を示すブロック図。

【図10】 本発明の他の実施の形態が適用される液晶表示装置の例を示すブロック図。

【図11】 二つの液晶セルが積層された液晶表示装置を示す説明図。

【図12】 従来の駆動方法における駆動波形の例を示す説明図。

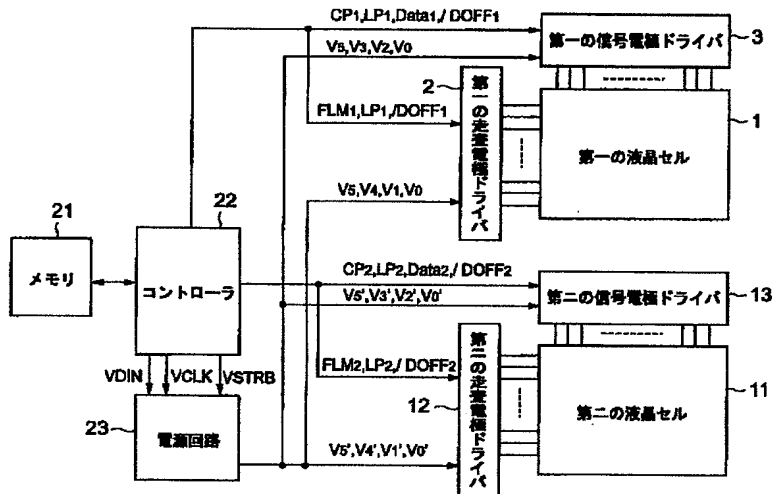
【図13】 従来の駆動方法における電源装置の負荷を示す説明図。

【符号の説明】

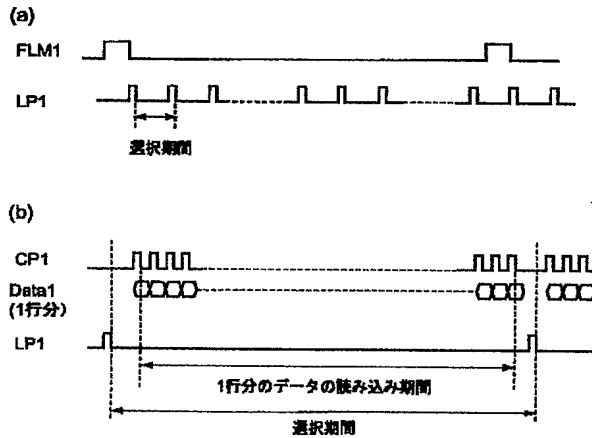
- 1 第一の液晶セル
2 第一の走査電極ドライバ
3 第一の信号電極ドライバ
11 第二の液晶セル

- * 12 第二の走査電極ドライバ
13 第二の信号電極ドライバ
21 メモリ
22 コントローラ
23 電源回路
* 23 電源回路

【図1】



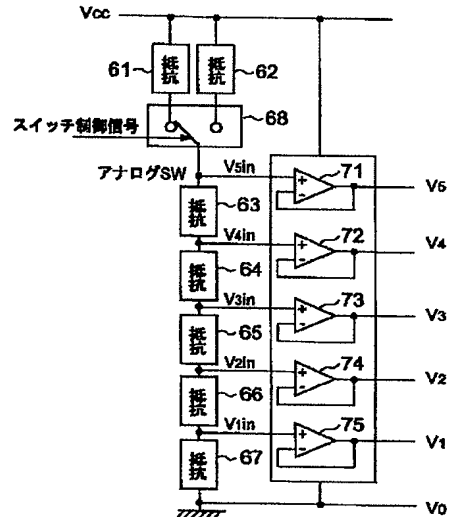
【図2】



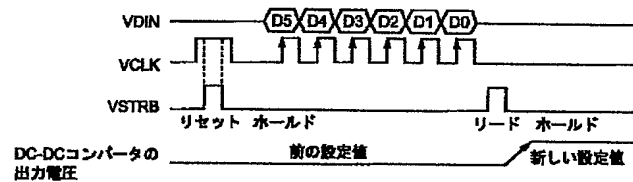
【図6】

- (a) 第一の液晶セルの駆動に伴うVccの変動
(b) 第二の液晶セルの駆動に伴うVccの変動
(c) 電源装置におけるVccの総和

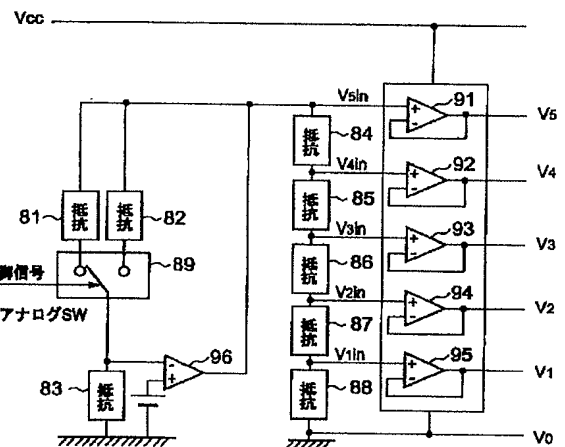
【図8】



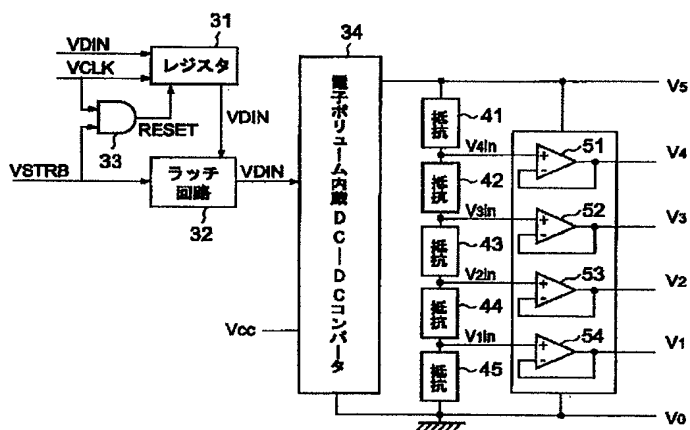
【図4】



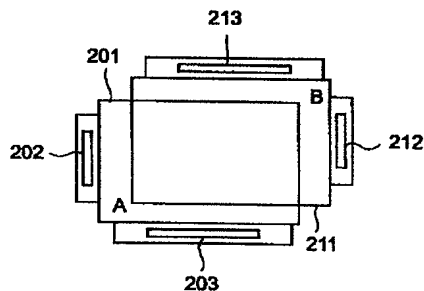
【図9】



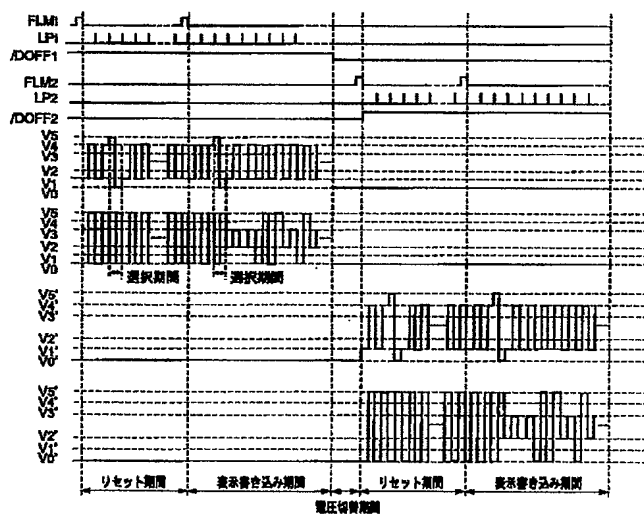
【図3】



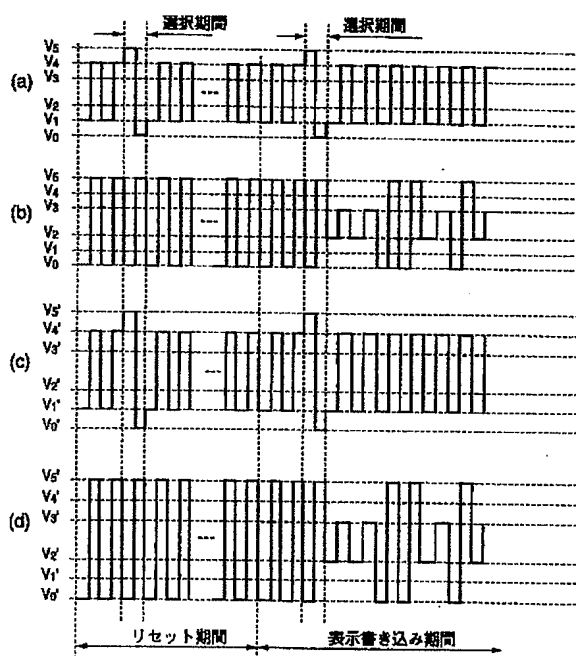
【図11】



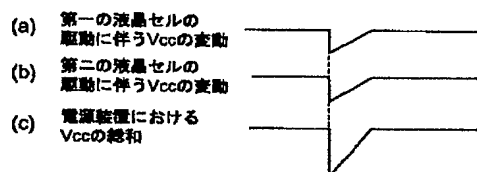
【図5】



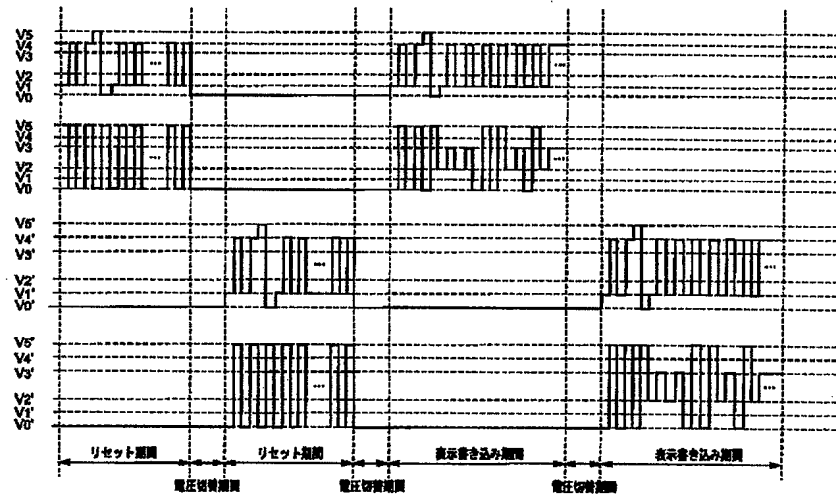
【図12】



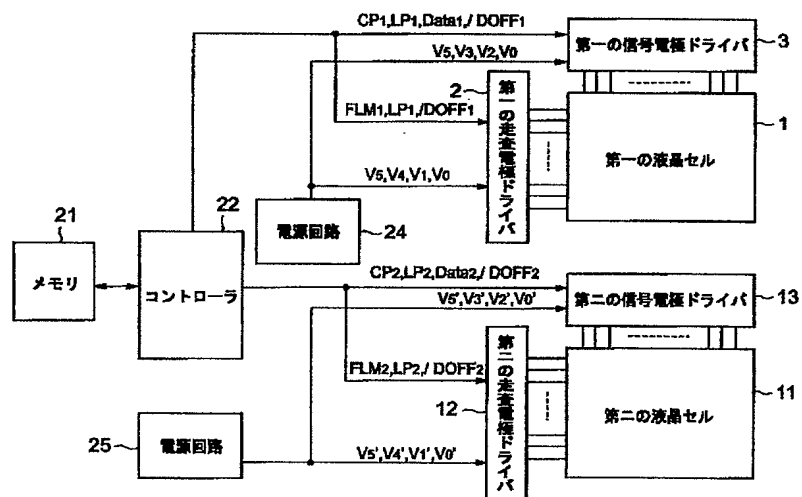
【図13】



【図 7】



【図 10】



フロントページの続き

(51) Int. Cl.⁷
G 0 9 G 3/36

識別記号

F I
G 0 9 G 3/36

テーマコード' (参考)

F ターム(参考) 2H093 NB07 NC01 NC03 NC05 NC09
NC11 NC16 NC26 NC34 ND39
ND54 ND60 NE03 NE07 NF05
NF13
5C006 BA12 BB08 BB11 BC03 BC11
BC16 BF25 BF43 BF46 FA45
5C080 AA10 BB05 CC07 DD24 EE26
FF12 JJ02 JJ04